

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-243726

(P2000-243726A)

(43)公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.
H 01 L 21/28
29/78
21/336

識別記号
301

F I
H 01 L 21/28
29/78

デマコード(参考)
301 T 4M104
301 P 5F040

審査請求 有 請求項の数 6 OL (全 10 頁)

(21)出願番号 特願平11-45639
(22)出願日 平成11年2月24日(1999.2.24)

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 ▲浜▼中 信秋
東京都港区芝五丁目7番1号 日本電気株式会社内
(74)代理人 100088812
弁理士 ▲柳▼川 信

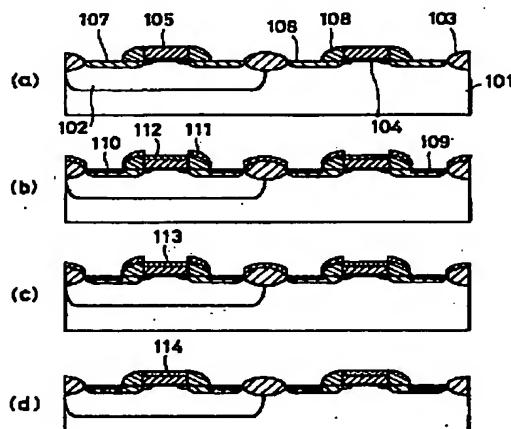
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 高温スパッタリング法を用いてシリコン基板表面に、下地の依存性なく、従来法よりも低抵抗の高融点金属シリサイド膜を形成する。

【解決手段】 P型ゲート電極上、あるいはソース・ドレイン領域上で金属シリサイド膜が高抵抗化する要因は、スパッタ時の温度が高く、核成長が不十分なCoSiが容易にCoSiとなることにあると知見に基づき、コバルト膜を200°C程度の温度でスパッタ成膜した後に引き続き大気にさらすことなく、別のスパッタチャンバにてコバルト膜を300°C以上400°C以下の温度でスパッタ成膜する、あるいは別のチャンバにてコバルト膜を300°C以上400°C以下の温度で2分以上加熱処理を行う。



101:シリコン基板	110: P型ソース・ドレイン領域
102:Nウェル	111: コバルト膜
103:フィールド強化膜	112: ダイコバルトモノシリサイド膜
104:ゲート強化膜	113: コバルトモノシリサイド膜
105:ゲート電極	114: コバルトダイシリサイド膜
106:N型不純物層	
107:P型不純物層	
108:サイドウォール・スペーサ	
109:N型ソース・ドレイン領域	

【特許請求の範囲】

【請求項1】 半導体基板上に選択的に形成された絶縁膜間に高融点金属シリサイド層を形成する半導体装置の製造方法であって、コバルト膜を200°C程度の温度でスパッタ成膜する工程と、しかる後に、引き続き大気にさらすことなく前記コバルト膜を300°C以上400°C以下の温度でスパッタ成膜する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に選択的に形成された絶縁膜間に高融点金属シリサイド層を形成する半導体装置の製造方法であって、コバルト膜を200°C程度の温度でスパッタ成膜する工程と、しかる後に、引き続き大気にさらすことなく300°C以上400°C以下の温度で2分以上加熱する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 半導体素子の拡散層電極、ゲート電極の少なくとも一つが形成されたシリコン基板の全面に、コバルトを堆積してコバルト膜を形成後、熱処理して前記コバルト膜との界面にコバルトシリサイド層を形成する半導体装置の製造方法であって、前記コバルト膜を200°C程度の温度でスパッタ成膜する工程と、しかる後に引き続き大気にさらすことなくコバルト膜を300°C以上400°C以下の温度でスパッタ成膜する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 半導体素子の拡散層電極、ゲート電極の少なくとも一つが形成されたシリコン基板の全面に、コバルトを堆積してコバルト膜を形成後、熱処理して前記コバルト膜との界面にコバルトシリサイド層を形成する半導体装置の製造方法であって、前記コバルト膜を200°C程度の温度でスパッタ成膜する工程と、しかる後に引き続き大気にさらすことなく300°C以上400°C以下の温度で2分以上加熱する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 前記基板のP型ゲート電極、P型ソース・ドレイン領域、N型ゲート電極、N型ソース・ドレイン領域上に同時にスパッタ成膜することを特徴とする請求項1～4いずれか記載の半導体装置の製造方法。

【請求項6】 前記P型ゲート電極、P型ソース・ドレイン領域、N型ゲート電極、N型ソース・ドレイン領域上同時に自己整合的にシリサイド化するようにしたことを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特にシリコン基板のP型ゲート電極、P型ソース・ドレイン領域とN型ゲート電極、N型ソース・ドレイン領域との各上部を同時に自己整合的にシリサイド化することにより、低抵抗化を図るMOS型電界効果トランジスタ(MOSFET)の製造方法に関するものである。

【0002】

【従来の技術】 半導体装置の製造方法の一つとして知られる従来のシリサイドプロセスでは、特開平8-069497号公報に開示された方法がある。この従来の半導体装置の製造方法について、図4(a)～(d)の工程順に示した縦断面図を参照して説明する。

【0003】 先ず、図4(a)に示すように、シリコン基板201にNウェル202を既知の方法により形成する。次いで、フィールド酸化膜203を選択酸化法により形成する。このフィールド酸化膜203に囲まれた活性領域に、順次シリコン酸化膜等のゲート絶縁膜204と多結晶シリコンとを成長し、多結晶シリコンにリンを既知の手法によりドープして多結晶シリコンの電気抵抗の低減を図る。次いで、既知の手法であるフォトリソグラフィー法とドライエッティング法により、多結晶シリコンをバーニングして図4(a)に示すようにゲート電極205を形成する。

【0004】 次に、フォトリソグラフィー法とイオン注入法により、低濃度のN型不純物層206と低濃度のP型不純物層207とを形成する。次いで、ゲート電極205の側面にシリコン酸化膜あるいはシリコン窒化膜から成るサイドウォール・スペーサ208を既知のCVD技術とエッティング技術を用いて形成する。

【0005】 次に、図4(b)に示すように、フォトリソグラフィー法とイオン注入法により、N型不純物層のソース・ドレイン領域とP型不純物層のソース・ドレイン領域を形成する。かかるプロセスによって、LDD構造としてN型ソース・ドレイン領域209、P型ソース・ドレイン領域210が形成される。

【0006】 次いで、ゲート電極である多結晶シリコンの表面とシリコン基板表面の自然酸化膜(図示せず)を除去し、マグネットロンスパッタ装置を用いて、高融点金属であるコバルトを200°C以上500°C以下の温度

(例えば、450°C)でスパッタ堆積して、コバルト膜211を形成し、さらに同時に表面反応によって多結晶シリコン膜であるゲート電極205の表面及び、ソース・ドレイン領域209、210と接触するコバルト膜211のみが反応し、ダイコバルトモノシリサイド膜212が形成される。このとき、P型ゲート電極上、ソース・ドレイン領域上では、ダイコバルトモノシリサイドの一部がコバルトモノシリサイド(213)になる一方で、最表層にはコバルト膜211が残っている。

【0007】 次に、図4(c)に示すように、窒素雰囲気中で500°C以上の急速熱処理(RTA)することにより、多結晶シリコン膜であるゲート電極205の表面および、ソース・ドレイン領域209、210と接触するダイコバルトモノシリサイド膜、コバルトモノシリサイド膜のみがコバルトモノシリサイド若しくはコバルトダイシリサイドの膜213を形成する。またこの際、フィールド酸化膜203およびサイドウォール・スペーサ

208と接触するコバルト膜211、P型ゲート電極上、ソース・ドレイン領域上の最表層に存在するコバルト膜211は一部酸化された膜となる。

【0008】次に、図4(d)に示すように、塩酸および過酸化水素の混合水溶液にシリコン基板を液浸することにより、選択的にウェットエッティングし、未反応若しくは一部酸化されたコバルト膜のみを除去する。次いで、前述のRTAよりも高温のRTA(800°C)を行い、コバルトダイシリサイド膜214を形成する。

【0009】この従来のサリサイドプロセスでは、スパッタリングを1段階で行いシリサイド化する構成になっている。この場合、N型ゲート電極上、ソース・ドレイン領域上、P型ゲート電極上、ソース・ドレイン領域上でそれぞれ、反応速度が異なるため、スパッタ直後に形成されているコバルトシリサイドの相が異なっている。すなわち、図4(b)に示す従来のサリサイドプロセスで形成されるダイコバルトモノシリサイド(以下、Co₂Siと記す)層212は、N型ゲート電極上、ソース・ドレイン領域上では熱力学的に安定であるため、スパッタリング時の温度領域ではシリコンと反応してコバルトモノシリサイド(以下CoSi)層になることはほとんどない。

【0010】これに対し、P型ゲート電極上、ソース・ドレイン領域上では、Co₂SiはCoSiあるいは金属Coに比べて熱力学的なボテンシャルが高い。このため、従来のスパッタリング時の温度領域では、P型ゲート電極上、ソース・ドレイン領域上に堆積した金属Coがシリコンと反応してCo₂Siとなる一方で、形成されたCo₂Siの一部もシリコンと反応しCoSiとなる反応が同時に起こっている。この結果、P型ゲート電極上、ソース・ドレイン領域上では、先に堆積したCoが反応して形成されたCo₂SiがCoSiとなる反応が起こることになって、Coが堆積するに従い、新たに堆積した最表面のCoは拡散しにくくなる。

【0011】従って、後から堆積されたCoほどCo₂Si形成反応が起こりにくくなり、一部は反応が進まないまま冷却、大気に暴露されるため酸化反応が起こり、スパッタ後のRTAを施してもシリサイド化されず、次のウェットエッティングにより除去されてしまう。このため、P型ゲート電極上、ソース・ドレイン領域上では、最終的に形成されるコバルトダイシリサイド(以下CoSi₂)の膜厚が減少してしまう。

【0012】

【発明が解決しようとする課題】然るに、上記の従来の半導体装置の製造方法では、高温でウェハ表面に高融点金属をスパッタリングして形成した高融点金属シリサイド膜の層抵抗値が、N型ゲート電極上、あるいはソース・ドレイン領域上に比べP型ゲート電極上、あるいはソース・ドレイン領域上で高抵抗になり、P型トランジスタ側の起動電流値が小さくなるという問題があった。

【0013】本発明の目的は、高温スパッタリング法を用いてシリコン基板表面に、下地の依存性なく、従来法よりも低抵抗の高融点金属シリサイド膜を形成する半導体装置の製造方法を提供することである。

05 【0014】
【課題を解決するための手段】本発明によれば、半導体基板上に選択的に形成された絶縁膜間に高融点金属シリサイド層を形成する半導体装置の製造方法であって、コバルト膜を200°C程度の温度でスパッタ成膜する工程と、しかる後に、引き続き大気にさらすことなく前記コバルト膜を300°C以上400°C以下の温度でスパッタ成膜する工程とを含むことを特徴とする半導体装置の製造方法が得られる。

10 【0015】また、本発明によれば、半導体基板上に選択的に形成された絶縁膜間に高融点金属シリサイド層を形成する半導体装置の製造方法であって、コバルト膜を200°C程度の温度でスパッタ成膜する工程と、しかる後に、引き続き大気にさらすことなく300°C以上400°C以下の温度で2分以上加熱する工程とを含むことを特徴とする半導体装置の製造方法が得られる。

15 【0016】更に本発明によれば、半導体素子の拡散層電極、ゲート電極の少なくとも一つが形成されたシリコン基板の全面に、コバルトを堆積してコバルト膜を形成後、熱処理して前記コバルト膜との界面にコバルトシリサイド層を形成する半導体装置の製造方法であって、前記コバルト膜を200°C程度の温度でスパッタ成膜する工程と、しかる後に引き続き大気にさらすことなくコバルト膜を300°C以上400°C以下の温度でスパッタ成膜する工程とを含むことを特徴とする半導体装置の製造方法が得られる。

20 【0017】更にはまた本発明によれば、半導体素子の拡散層電極、ゲート電極の少なくとも一つが形成されたシリコン基板の全面に、コバルトを堆積してコバルト膜を形成後、熱処理して前記コバルト膜との界面にコバルトシリサイド層を形成する半導体装置の製造方法であって、前記コバルト膜を200°C程度の温度でスパッタ成膜する工程と、しかる後に引き続き大気にさらすことなく300°C以上400°C以下の温度で2分以上加熱する工程とを含むことを特徴とする半導体装置の製造方法が得られる。

25 【0018】そして、前記基板のP型ゲート電極、P型ソース・ドレイン領域、N型ゲート電極、N型ソース・ドレイン領域上に同時にスパッタ成膜することを特徴とする。

30 【0019】本発明の作用を述べる。本発明者は、上述した本発明の目的を達成できる半導体装置の製造方法を実現するために、研究の末、P型ゲート電極上、あるいはソース・ドレイン領域上で金属シリサイド膜が高抵抗化する要因は、スパッタ時の温度が高く、核成長が不十分なCo₂Siが容易にCoSiとなることにあると見

出した。そこで、コバルト膜を200°C程度の温度でスパッタ成膜した後に引き続き大気にさらすことなく、別のスパッタチャンバにてコバルト膜を300°C以上400°C以下の温度でスパッタ成膜する、あるいは別のチャンバにてコバルト膜を300°C以上400°C以下の温度で2分以上加熱処理を行うようにしたものである。

【0020】更に詳述すると、シリコン基板表面の自然酸化膜を沸騰水素酸水溶液を用いてエッティングした後、シリコン基板をスパッタチャンバに搬送し、コバルトを高温でスパッタ堆積し、次いで、第一次の熱処理と、ウェットエッティングによってスペーサ上などにスパッタ堆積されたコバルトを除去する工程と、第二次の熱処理とを行った後に測定した、P型ゲート電極上ならびにN型ゲート電極上の層抵抗値を、1段階の高温スパッタリング（例えば、450°C）を行った場合と、200°C程度の温度でスパッタ成膜した後に引き続き大気にさらすことなく、別のスパッタチャンバにてコバルト膜を300°C以上400°C以下の温度でスパッタ成膜した場合と、200°C程度の温度でスパッタ成膜した後に引き続き大気にさらすことなく、別のチャンバにてコバルト膜を300°C以上400°C以下の温度で2分以上加熱処理を行った場合について比較する。

【0021】200°C程度でコバルトをスパッタ成膜した後、大気にさらすことなく別のチャンバで300°C以上400°C以下の温度でスパッタ成膜した場合、あるいは2分程度の加熱処理を行った場合の層抵抗値は、450°C程度の温度の下1段階で高温スパッタリングを行った場合に比べ、10%ほどP型ゲート電極上の層抵抗値が低くなる。N型ゲート電極上の層抵抗値については、いずれの場合の間にも有意な差は見られない。

【0022】ここで、200°C程度でコバルトをスパッタ成膜した後、大気にさらすことなく別のチャンバで300°C以上400°C以下の温度でスパッタ成膜を行うと、当初生成されるダイコバルトシリサイド（Co₂Si）の核成長が十分進んだ後に、コバルトモノシリサイド（Co₃Si）に相変化するために、最初のシリサイド化反応であるダイコバルトシリサイド（Co₂Si）の生成が進みやすく、未反応のコバルトが残らない。ダイコバルトシリサイド膜は、引き続き行う第一次の熱処理によりシリコン基板と反応しコバルトモノシリサイド（Co₃Si）膜になり、次工程のウェットエッティング液により液中に溶出しないため、以降の第二次の熱処理により形成されるコバルトダイシリサイド膜（Co₃Si₂）の膜厚が減少しない。この結果、シリサイド膜の層抵抗値は低くなる。

【0023】これに対し、コバルトを1段階で高温スパッタ堆積し、金属シリサイド膜を形成した場合、当初生成されるダイコバルトシリサイド（Co₂Si）の核成長が十分進まないまま、コバルトモノシリサイド（Co₃Si）膜が形成されることにより、堆積した金属コバル

トがシリコンと反応してダイコバルトシリサイドになる反応が抑制される。このため、未反応の金属コバルトが残存し、その酸化が起こってコバルト酸化物の膜が形成される。このコバルト酸化物の膜は第一次の熱処理を行っても化学反応によって変化せず、引き続き行う工程で、ウェットエッティング液により液中に溶出する。その結果、以降の第二次の熱処理により形成されるP型ゲート電極上のコバルトダイシリサイド（Co₃Si₂）膜の膜厚が減少し、シリサイド膜の層抵抗値は高くなる。

【0024】

【発明の実施の形態】次に本発明の各実施の形態について図面を用いて説明する。本発明に係る半導体装置の製造方法の第一の実施形態を図1(a)～(d)に示し、その(a)～(d)は本発明による半導体装置の製造方法の第一の実施形態の各工程の素子断面図を示す。

【0025】まず、図1(a)に示すように、シリコン基板101にNウェル102を既知の方法により形成する。次いで、フィールド酸化膜としてフィールド酸化膜103を選択酸化法により形成する。このフィールド酸化膜103を囲まれた活性領域に、順次シリコン酸化膜などのゲート絶縁膜104と多結晶シリコンを成長し、多結晶シリコンにリンを既知の手法によりドープして多結晶シリコンの電気抵抗の低減を図る。

【0026】次いで、既知の手法であるフォトリソグラフィー法とドライエッティング法により、多結晶シリコンをバターニングして、図1(a)に示すように、ゲート電極105を形成する。次に、フォトリソグラフィー法とイオン注入法により、低濃度のN型不純物層106と低濃度のP型不純物層107を形成する。次いで、ゲート電極の側面にシリコン酸化膜あるいはシリコン窒化膜から成るサイドウォール・スペーサ108を既知のCVD技術とエッティング技術を用いて形成する。

【0027】次に、図1(b)に示すように、フォトリソグラフィー法とイオン注入法により、N型不純物層のソース・ドレイン領域とP型不純物層のソース・ドレイン領域を形成する。かかるプロセスによって、LDD構造としてN型ソース・ドレイン領域109、P型ソース・ドレイン領域110が形成される。

【0028】次いで、ゲート電極である多結晶シリコンの表面とシリコン基板表面の自然酸化膜を除去し、マグネットロンスパッタ装置を用いて、高融点金属であるコバルトを200°C程度の温度で加熱しながらスパッタを行い、コバルト膜111を形成し、さらに同時に表面反応によって多結晶シリコン膜であるゲート電極105の表面および、ソース・ドレイン領域109、110と接触するコバルト膜111のみが反応し、P型ならびにN型ゲート電極およびソース・ドレイン領域上でダイコバルトモノシリサイド膜112のみが形成される。然る後に大気にさらすことなく別に設けたスパッタチャンバにてさらにコバルトを300°C以上400°C以下の温度で加

熱しながらスパッタ成膜することにより、ダイコバルトモノシリサイド膜112の核成長が起こる。

【0029】次に、図1(c)に示すように、窒素雰囲気中で500°C以上の急速熱処理(RTA)することにより、多結晶シリコン膜であるゲート電極105の表面および、ソース・ドレイン領域109, 110と接触するダイコバルトモノシリサイド膜のみがコバルトモノシリサイド若しくはコバルトダイシリサイドの膜113を形成する。またこの際、フィールド酸化膜103およびサイドウォール・スペーサ108と接触するコバルト膜111は一部酸化された膜となる。

【0030】次に、図1(d)に示すように、塩酸および過酸化水素の混合水溶液にシリコン基板を液浸することにより、選択的にウェットエッチングし、未反応若しくは一部酸化されたコバルト膜のみを除去する。次いで、前述のRTAよりも高温のRTA(800°C)を行い、コバルトダイシリサイド膜(114)を形成する。

【0031】このようにして製造されたMOS型電界効果トランジスタの、N型ソース・ドレイン領域、P型ソース・ドレイン領域、N型ゲート電極、P型ゲート電極上に自己整合的に形成されたコバルトダイシリサイド層は、良好な表面形状でかつ低抵抗化されている。

【0032】本発明による半導体装置の製造方法の第二の実施形態の各工程の素子断面図を示す。まず、上記の第一の実施形態と同一の工程にて、ゲート電極105、サイドウォール・スペーサ108ならびにLDI構造としてN型ソース・ドレイン領域109、P型ソース・ドレイン領域110を形成する。

【0033】次いで、ゲート電極である多結晶シリコンの表面とシリコン基板表面の自然酸化膜を除去し、マグネットロンスパッタ装置を用いて、高融点金属であるコバルトを200°C程度の温度で加熱しながらスパッタを行い、コバルト膜111を形成し、さらに同時に表面反応によって多結晶シリコン膜であるゲート電極105の表面および、ソース・ドレイン領域109, 110と接触するコバルト膜111のみが反応し、P型ならびにN型ゲート電極およびソース・ドレイン領域上でダイコバルトモノシリサイド膜112のみが形成される。然る後に、大気にさらすことなく別に設けたスパッタチャンバにてさらにコバルトを300°C以上400°C以下の温度で加熱することにより、ダイコバルトモノシリサイド膜112の核成長が進み、結晶化が促進される。

【0034】次に、本発明の第一の実施形態と同一の工程にて、窒素雰囲気中で500°C以上の急速熱処理(RTA)、塩酸および過酸化水素の混合水溶液を用いた選択的ウェットエッチング、高温のRTA(800°C)を行い、コバルトダイシリサイド膜214を形成する。

【0035】このようにして製造されたMOS型電界効果トランジスタの、N型ソース・ドレイン領域、P型ソース・ドレイン領域、N型ゲート電極、P型ゲート電極

上に自己整合的に形成されたコバルトダイシリサイド層は、良好な表面形状でかつ低抵抗化されている。

【0036】【実験例1】アネルバ(株)製のモデル番号I-1060装置に2チャンバスパッタリングチャンバを設置し実験を行った。以下に、実験装置の仕様を示す。

【0037】

スパッタリング成膜材料：コバルト
ウェハー寸法：200mm径

10 上述の実験装置で、シリコン基板上に以下の条件でコバルトをスパッタし、ゲート電極ならびに拡散層上にコバルト膜を成膜した。

【0038】

スパッタリング条件

15 第1次スパッタチャンバホルダ温度：200°C

第2次スパッタチャンバホルダ温度：350°C

チャンバ圧力：3~8mTorr

第2次スパッタ後チャンバ内加熱時間：2分

成膜量：50オングストローム(第1次)、50オング

20 ストローム(第2次)

計100オングストローム。

【0039】上述の実験条件でP型ゲート電極ならびに拡散層上の層抵抗値を調べた。図2(a), (b)に、縦軸に層抵抗値を横軸にゲート幅(図2(a))、拡散層幅(図2(b))をとった結果を示す。参考データとして、従来例である、スパッタ温度450°Cにて1段階で100オングストロームスパッタ成膜した場合の結果を併せて示してある。

【0040】図2(a), (b)からわかる通り、従来例では、スパッタ温度450°Cにて1段階で100オングストロームスパッタ成膜した場合、P型ゲート電極上、ソース・ドレイン領域上でスパッタ堆積したコバルト全量がシリサイド反応していないことにより、コバルトダイシリサイド膜の膜厚が減少して高抵抗化しているが、本発明による本実施例では、低抵抗化していることがわかる。

【0041】【実験例2】アネルバ(株)製のモデル番号I-1060装置に2チャンバスパッタリングチャンバを設置し実験を行った。以下に、実験装置の仕様を示す。

【0042】

スパッタリング成膜材料：コバルト
ウェハー寸法：200mm径

45 上述の実験装置で、シリコン基板上に以下の条件でコバルトをスパッタし、ゲート電極ならびに拡散層上にコバルト膜を成膜した。

【0043】

スパッタリング条件

スパッタチャンバホルダ温度：200°C

50 スパッタ後のアニール用チャンバホルダ温度：350°C

チャンバ圧力：3～8 mTorr

アニールチャンバ内加熱時間：2分

成膜量：100オングストローム。

【0044】上述の実験条件でゲート電極ならびに拡散層上の層抵抗値を調べた。図3 (a), (b) に、縦軸に層抵抗値を横軸にゲート幅 (図3 (a)) 、拡散層幅 (図3 (b)) をとった結果を示す。参考データとして、従来例である、スパッタ温度450°Cにて100オングストロームスパッタ成膜し、そのまま2分間加熱保持した場合の結果を併せて示してある。

【0045】図3 (a), (b) からわかる通り、従来例では、スパッタ温度450°Cにて100オングストロームスパッタ成膜し、そのまま2分間加熱保持した場合、P型ゲート電極上、ソース・ドレイン領域上でスパッタ堆積したコバルト全量がシリサイド反応していないことにより、コバルトダイシリサイド膜の膜厚が減少して高抵抗化しているが、本発明による本実施例では、低抵抗化していることがわかる。

【0046】

【発明の効果】以上説明したように、本発明によれば、半導体基板上に選択的に形成される絶縁膜間に高融点金属シリサイド層を形成する半導体装置の製造法において、高温スパッタリング法により成膜したコバルト膜を未反応の層なくすべてシリサイド化したため、P型ゲート電極ならびにソース・ドレイン領域上で、低抵抗化を図るMOS型電界効果トランジスタ(MOSFET)をより低抵抗化して製造することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の各工程での素子断面図である。

【図2】本発明の第1の実施の形態で形成したコバルトシリサイドの層抵抗値の配線幅依存性と、従来方法で形成したコバルトシリサイドの層抵抗値の配線幅依存性を比較して示した図である。

【図3】本発明の第2の実施の形態で形成したコバルトシリサイドの層抵抗値の配線幅依存性と、従来方法で形成したコバルトシリサイドの層抵抗値の配線幅依存性を比較して示した図である。

【図4】従来方法の一例の各工程での素子断面図である。

【符号の説明】

101 シリコン基板

102 Nウェル

103 フィールド酸化膜

104 ゲート絶縁膜

105 ゲート電極

106 N型不純物層

107 P型不純物層

108 サイドウォール・スペーサ

109 N型ソース・ドレイン領域

110 P型ソース・ドレイン領域

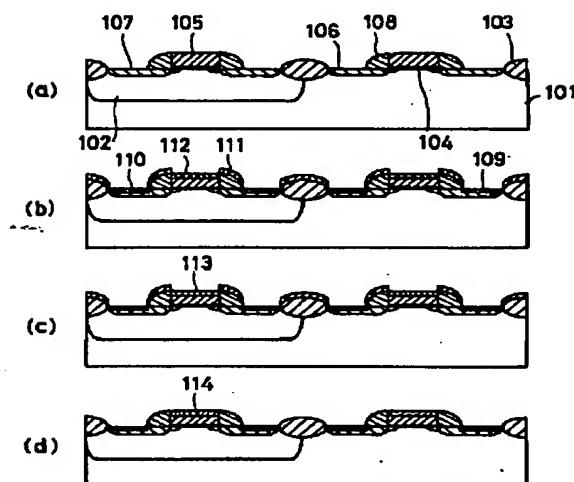
111 コバルト膜

112 ダイコバルトモノシリサイド膜

113 コバルトモノシリサイド若しくはコバルトダイシリサイドの膜

114 コバルトダイシリサイド膜

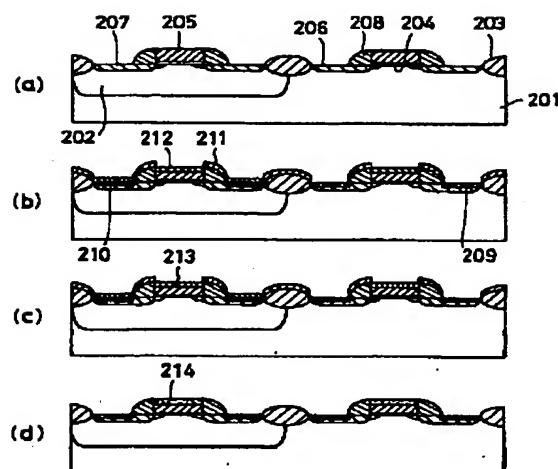
【図1】



101: シリコン基板
102: Nウェル
103: フィールド酸化膜
104: ゲート電極
105: ゲート電極
106: N型不純物層
107: P型不純物層
108: サイドウォール・スペーサ
109: N型ソース・ドレイン領域

110: P型ソース・ドレイン領域
111: コバルト膜
112: ダイコバルトモノシリサイド膜
113: コバルトモノシリサイド若しく
はコバルトダイシリサイド膜
114: コバルトダイシリサイド膜

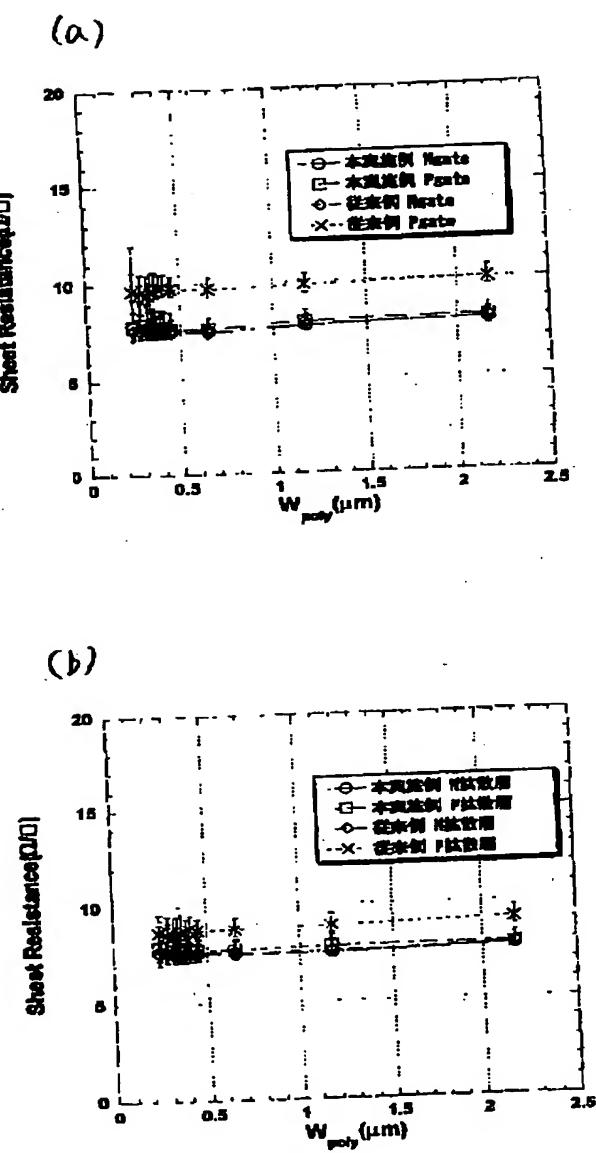
【図4】



201: シリコン基板
202: Nウェル
203: フィールド酸化膜
204: ゲート電極
205: ゲート電極
206: N型不純物層
207: P型不純物層
208: サイドウォール・スペーサ
209: N型ソース・ドレイン領域

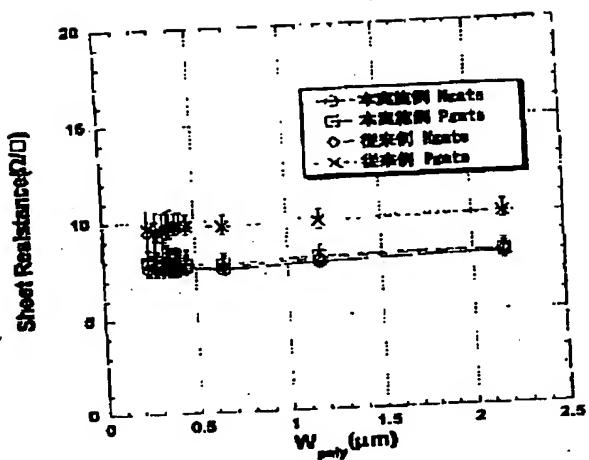
210: P型ソース・ドレイン領域
211: コバルト膜
212: ダイコバルトモノシリサイド膜
213: コバルトモノシリサイド若しく
はコバルトダイシリサイド膜
214: コバルトダイシリサイド膜

【図2】

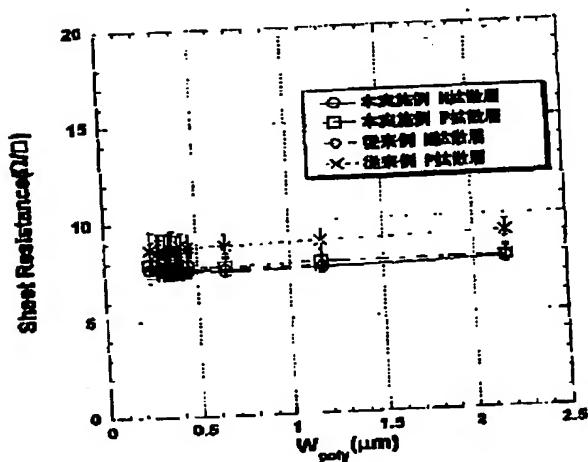


【図3】

(a)



(b)



フロントページの続き

F ターム(参考) 4M104 AA01 BB01 BB20 BB40 CC01
CC05 DD04 DD23 DD37 DD64
DD79 DD80 DD83 DD84 FF14 05
GG09 GG10 HH16
5F040 DC01 EC01 EC07 EC13 EF02
EH01 EH07 FA05 FA07 FB01
FC19